

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010028858 A  
 (43)Date of publication of application: 06.04.2001

(21)Application number: 1019990041356

(22)Date of filing: 27.09.1999

(71)Applicant: HYUNDAI MICRO ELECTRONICS CO., LTD.

(72)Inventor: RYU, NAM GYU

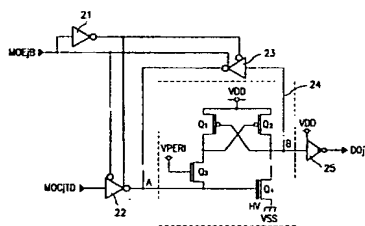
(51)Int. Cl. H03K 5/00

## (54) TRANSFER CIRCUIT FOR DATA

## (57) Abstract:

PURPOSE: A data transfer circuit is provided to produce a latch circuit and a level shift circuit as one body circuit to decrease the number of inverter steps. Therefore, a data transfer time can be shorten.

CONSTITUTION: The first inverter(21) and the first clock inverter(22) control a clock signal(MOEjB) and a data signal(MOCjTD) received as input signals. The second clock inverter(23) latches the data signal(MOCjTD) when an output signal of the first clock inverter(22) and the clock signal(MOEjB) is "HIGH". While, the second clock inverter(23) shifts a level of data signal(MOCjTD) to VDD of a power source when the clock signal(MOEjB) is "LOW". A level shift circuit(24) receives an output signal of the first clock inverter(22) to shift the level of data signal(MOCjTD) to VDD of a power source. The second inverter(25) receives an output signal of level shift circuit(24) operates a data buffer.



COPYRIGHT 2001 KIPO

## Legal Status

Date of final disposal of an application (20010627)

Patent registration number (1003081300000)

Date of registration (20010827)

AL

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)(51) Int. Cl. 6  
H03K 5/00(11) 공개번호 특2001-0028858  
(43) 공개일자 2001년04월06일

(21) 출원번호 10-1999-0041356

(22) 출원일자 1999년09월27일

(71) 출원인 현대반도체 주식회사 김영환  
충북 청주시 흥덕구 향정동 1번지(72) 발명자 류남규  
충청북도청주시흥덕구신봉동한성아파트5-109(74) 대리인 강용복  
김용인

심사청구 : 있음

(54) 데이터 트랜스퍼 회로

## 요약

본 발명은 래치 회로와 레벨 쉬프트 회로를 동시에 구현하여 인버터 단수를 줄임으로써 데이터 트랜스퍼 시간을 줄이도록 한 데이터 트랜스퍼 회로에 관한 것으로서, 클럭 신호와 데이터 신호를 제어하는 제 1 인버터 및 제 1 클럭 인버터와, 상기 제 1 클럭 인버터의 출력신호와 클럭 신호가 "High"일 때 데이터를 래치시키고 클럭 신호가 "Low"일 때 레벨을 VDD 전원으로 쉬프트하는 레벨 쉬프트를 동시에 구현하는 제 2 클럭 인버터와, 상기 제 1 클럭 인버터의 출력신호를 받아 데이터를 VDD 전원으로 레벨 쉬프트하는 레벨 쉬프트 회로와, 상기 레벨 쉬프트 회로의 출력신호를 받아 데이터 버퍼를 구동하는 제 2 인버터를 포함하여 구성됨을 특징으로 한다.

## 대표도

도3

## 색인어

트랜스퍼 회로

## 명세서

## 도면의 간단한 설명

도 1은 종래의 데이터 트랜스퍼 회로의 회로도

도 2는 종래의 데이터 트랜스퍼 회로의 동작 타이밍도

도 3은 본 발명에 의한 데이터 트랜스퍼 회로의 회로도

도 4는 본 발명에 의한 데이터 트랜스퍼 회로의 동작 타이밍도

도면의 주요부분에 대한 부호의 설명

21 : 제 1 인버터 22 : 제 1 클럭 인버터

23 : 제 2 클럭 인버터 24 : 레벨 쉬프트 회로

25 : 제 2 인버터

## 발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술 및 그 분야 종래기술

본 발명은 데이터 전송(Data Transfer) 회로에 관한 것으로, 특히 데이터 전송 시간을 개선하는데 적당하도록 한 데이터 전송 회로에 관한 것이다.

일반적으로 데이터 전송 시간이란 클럭 신호가 로우(Low)가 되어 데이터 신호가 출력신호(DOjT)까지 되는데 걸리는 시간을 의미한다.

이하, 첨부된 도면을 참고하여 종래의 데이터 전송 회로를 설명하면 다음과 같다.

도 1은 종래의 데이터 전송 회로를 나타낸 회로도이고, 도 2는 종래의 데이터 전송 회로의 동작 타이밍도이다.

도 1에 도시한 바와 같이, 클럭 신호(MOEjB)와 데이터 신호(MOCjTD)를 제어하는 제 1, 제 2 클럭 인버터(11,12)와, 상기 클럭 신호를 받아 반전시키어 출력하는 제 1 인버터(13)와, 상기 클럭 신호가 "High"일 때 데이터를 래치(Latch)하는 래치 회로(10)와, 그리고 클럭 신호가 "Low"일 때 전압 레벨을 VDD 전원으로 쉬프트(Shift)하는 레벨 쉬프트 회로(20)와, 상기 레벨 쉬프트 회로(20)의 출력 신호를 받아 반전시키어 데이터 버퍼(도면에는 도시되지 않음)를 구동시키는 제 2 인버터(14)로 구성된다.

여기서 상기 래치 회로(10)는 제 2 클럭 인버터(12)와 상기 제 1 인버터(13)의 출력신호를 받는 제 3 인버터(15)로 구성되어 클럭 신호가 "High"일 때 데이터를 래치한다.

또한, 상기 레벨 쉬프트 회로(20)는 제 1, 제 2 PMOS 트랜지스터(Q1,Q2)와 제 1, 제 2 NMOS 트랜지스터(Q3,Q4)로 구성된다.

한편, 상기 제 1, 제 2 PMOS 트랜지스터(Q1,Q2)의 드레인은 VDD 전원에 공통으로 연결되고, 상기 제 2 NMOS 트랜지스터(Q4)의 드레인은 VSS 전원에 연결되며, 상기 제 1 NMOS 트랜지스터(Q3)의 드레인과 제 2 NMOS 트랜지스터(Q4)의 게이트는 상기 래치 회로(10)의 출력신호가 인가되고, 상기 제 1 NMOS 트랜지스터(Q3)의 게이트에는 외부의 신호(VPERI)가 인가되며, 상기 제 1 PMOS 트랜지스터(Q1)의 게이트와 제 2 PMOS 트랜지스터(Q2)의 소오스가 공통으로 연결되며, 상기 제 2 PMOS 트랜지스터(Q2)의 게이트와 제 1 PMOS 트랜지스터(Q1)의 소오스가 공통으로 연결된다.

그리고 상기 제 2 PMOS 트랜지스터(Q2)와 제 2 NMOS 트랜지스터(Q4) 사이의 소오스가 공통 출력단(m)이 되어 제 2 인버터(14)로 출력한다.

한편, 상기 제 2 NMOS 트랜지스터(Q4)는 고전압 트랜지스터이고, 제 2 인버터(14)는 고전압 인버터로 구성된다.

상기와 같이 구성된 종래의 데이터 전송 회로의 동작을 설명하면 다음과 같다.

도 2에 도시한 바와 같이, MOEjB 신호가 "High"에서 "Low"로 떨어질 경우 제 1 클럭 인버터(11)가 인에이블(Enable)되어 노드 A는 MODjTD 신호의 반전된 딜레이 신호(Delay Signal)를 생성하고, 제 2 클럭 인버터(12)가 디저블(Disable)되어 노드 B에 인버터 딜레이 만큼 딜레이된 노드 A 신호가 발생한다.

이어, 4개의 트랜지스터로 구성된 레벨 쉬프트 회로(20)의 레벨 쉬프트를 통하여 VDD 전원으로 쉬프트된 신호가 뒤 단의 데이터 버퍼를 구동시키기 위한 제 2 인버터(14)를 통하여 출력신호(DOjT)를 출력한다.

이와는 반대로 MOEjB 신호가 "Low"에서 "High"로 진행될 경우 제 1 클럭 인버터(11)가 디저블 되고 제 2 클럭 인버터(12)가 인에이블되어 래치 회로(10)를 구성하여 MOEjB 신호가 "Low"가 될 때까지 이전 데이터를 출력신호(DOjT)로 출력하게 된다.

한편, 데이터 전송 시간이란 의미는 MOEjB 신호가 "Low"가 되어 MOCjTD 신호가 DOjT 신호까지 발생하는데 걸리는 시간을 의미한다.

### **발명이 이루고자하는 기술적 과제**

그러나 상기와 같은 종래의 데이터 전송 회로는 다음과 같은 문제점이 있었다.

즉, 래치 회로와 레벨 쉬프트 회로가 독립적으로 구성되어 인버터 단수가 많아 데이터 전송 시간이 느리다.

본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로 래치 회로와 레벨 쉬프트 회로를 동시에 구현하여 인버터 단수를 줄임으로써 데이터 전송 시간을 줄이도록 한 데이터 전송 회로를 제공하는데 그 목적이 있다.

### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명에 의한 데이터 트랜스퍼 회로는 클럭 신호와 데이터 신호를 제어하는 제 1 인버터 및 제 1 클럭 인버터와, 상기 제 1 클럭 인버터의 출력신호와 클럭 신호가 "High"일 때 데이터를 래치시키고 클럭 신호가 "Low"일 때 레벨을 VDD 전원으로 쉬프트하는 레벨 쉬프트를 동시에 구현하는 제 2 클럭 인버터와, 상기 제 1 클럭 인버터의 출력신호를 받아 데이터를 VDD 전원으로 레벨 쉬프트하는 레벨 쉬프트 회로와, 상기 레벨 쉬프트 회로의 출력신호를 받아 데이터 버퍼를 구동하는 제 2 인버터를 포함하여 구성됨을 특징으로 한다.

이하, 첨부된 도면을 참고하여 본 발명에 의한 데이터 트랜스퍼 회로를 상세히 설명하면 다음과 같다.

도 3은 본 발명에 의한 데이터 트랜스퍼 회로를 나타낸 회로도이고, 도 4는 본 발명에 의한 데이터 트랜스퍼 회로의 동작 타이밍도이다.

도 3에 도시한 바와 같이, 클럭 신호(MOEjB)와 데이터 신호(MOCjTD)를 각각 입력으로 받아 클럭 신호와 데이터 신호를 제어하는 제 1 인버터(21) 및 제 1 클럭 인버터(22)와, 상기 제 1 클럭 인버터(22)의 출력신호와 클럭 신호가 "High"일 때 데이터를 래치시키고 클럭 신호가 "Low"일 때 레벨을 VDD 전원으로 쉬프트하는 레벨 쉬프트를 동시에 구현하는 제 2 클럭 인버터(23)와, 상기 제 1 클럭 인버터(22)의 출력신호를 받아 데이터를 VDD 전원으로 쉬프트하는 레벨 쉬프트 회로(24)와, 상기 레벨 쉬프트 회로(24)의 출력신호를 받아 데이터 버퍼(도시되지 않음)를 구동하는 제 2 인버터(25)로 구성된다.

또한, 상기 레벨 쉬프트 회로(24)는 제 1, 제 2 PMOS 트랜지스터(Q1, Q2)와 제 1, 제 2 NMOS 트랜지스터(Q3, Q4)로 구성된다.

한편, 상기 제 1, 제 2 PMOS 트랜지스터(Q1, Q2)의 드레인은 VDD 전원에 공통으로 연결되고, 상기 제 2 NMOS 트랜지스터(Q4)의 드레인은 VSS 전원에 연결되며, 상기 제 1 NMOS 트랜지스터(Q3)의 드레인과 제 2 NMOS 트랜지스터(Q4)의 게이트는 상기 제 1 클럭 인버터(22)의 출력신호가 인가되고, 상기 제 1 NMOS 트랜지스터(Q3)의 게이트에는 외부의 신호(VPERI)가 인가되며, 상기 제 1 PMOS 트랜지스터(Q1)의 게이트와 제 2 PMOS 트랜지스터(Q2)의 소오스가 공통으로 연결되며, 상기 제 2 PMOS 트랜지스터(Q2)의 게이트와 제 1 PMOS 트랜지스터(Q1)의 소오스가 공통으로 연결된다.

그리고 상기 제 2 PMOS 트랜지스터(Q2)와 제 2 NMOS 트랜지스터(Q4) 사이의 소오스가 공통 출력단이 되어 제 2 인버터(25)로 출력하고, 상기 레벨 쉬프트 회로(24)와 제 2 클럭 인버터(23)는 래치 회로를 구성한다.

한편, 상기 제 2 NMOS 트랜지스터(Q4)는 고전압 트랜지스터이고, 제 2 인버터(25)는 고전압 인버터로 구성된다.

상기와 같이 구성된 본 발명에 의한 데이터 트랜스퍼 회로의 동작을 상세히 설명하면 다음과 같다.

도 4에 도시한 바와 같이, MOEjB 신호가 "High"에서 "Low"로 진행될 경우, 제 1 클럭 인버터(22)가 인에이블 되고 제 2 클럭 인버터(23)가 디저블 되어 MOCjTD 신호가 노드 A로 전달되어 4개의 트랜지스터로 구성된 레벨 쉬프트 회로(24)에서 VDD 전원으로 레벨이 쉬프트되어 고전압(High Voltage)으로 구성된 제 2 인버터(25)를 통하여 출력신호(DOjT)를 출력하게 된다.

이와는 반대로, MOEjB 신호가 "Low"에서 "High"로 진행될 경우 제 1 클럭 인버터(22)가 디저블 되고 제 2 클럭 인버터(23)가 인에이블 되어 종래의 회로와는 달리 제 2 클럭 인버터(23)와 레벨 쉬프트 회로(24)로 래치 회로를 구성하여 MOEjB 신호가 "Low"가 될 때까지 이전 데이터를 출력신호로 신호를 출력하게 된다.

즉, 종래의 회로에서는 래치 부분과 레벨 쉬프트 부분을 독립적으로 사용하였으나, 본 발명에서는 래치 부분과 레벨 쉬프트 부분을 동시에 구현하여 인버터 단수를 줄임으로써 MOCjTD 신호가 DOjT 신호로 전달되는 시간을 줄인다.

### 발명의 효과

이상에서 설명한 바와 같이 본 발명에 의한 데이터 트랜스퍼 회로는 다음과 같은 효과가 있다.

즉, 데이터 트랜스퍼 회로의 데이터 전달 속도를 향상시킬 수 있다.

### (57)청구의 범위

#### 청구항1

클럭 신호와 데이터 신호를 제어하는 제 1 인버터 및 제 1 클럭 인버터와,

상기 제 1 클럭 인버터의 출력신호와 클럭 신호가 "High"일 때 데이터를 래치시키고 클럭 신호가 "Low"일 때 레벨을 VDD 전

원으로 쉬프트하는 레벨 쉬프트를 동시에 구현하는 제 2 클럭 인버터와,

상기 제 1 클럭 인버터의 출력신호를 받아 데이터를 VDD 전원으로 레벨 쉬프트하는 레벨 쉬프트 회로와,

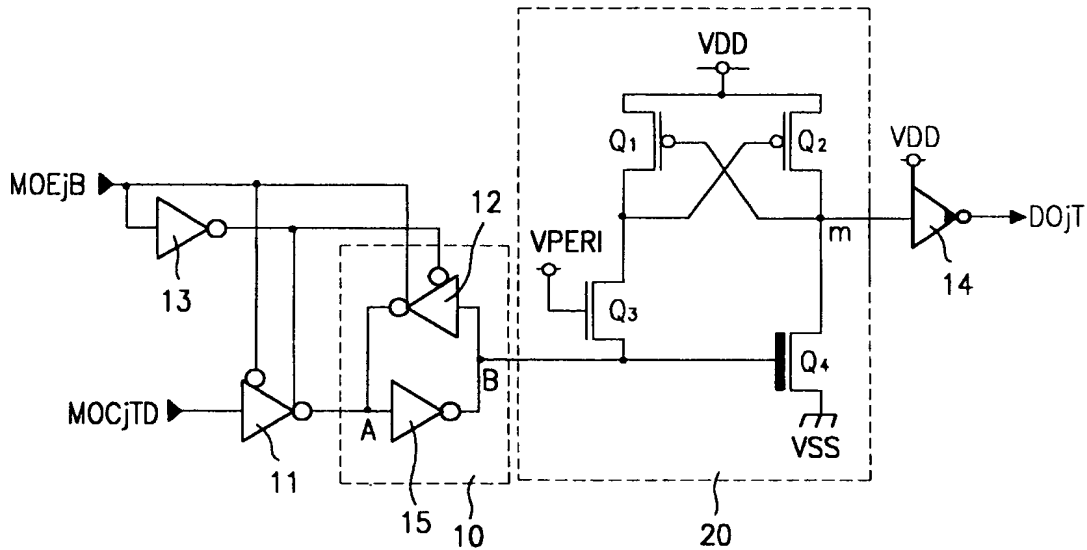
상기 레벨 쉬프트 회로의 출력신호를 받아 데이터 버퍼를 구동하는 제 2 인버터를 포함하여 구성됨을 특징으로 하는 데이터 트랜스퍼 회로.

## 청구항2

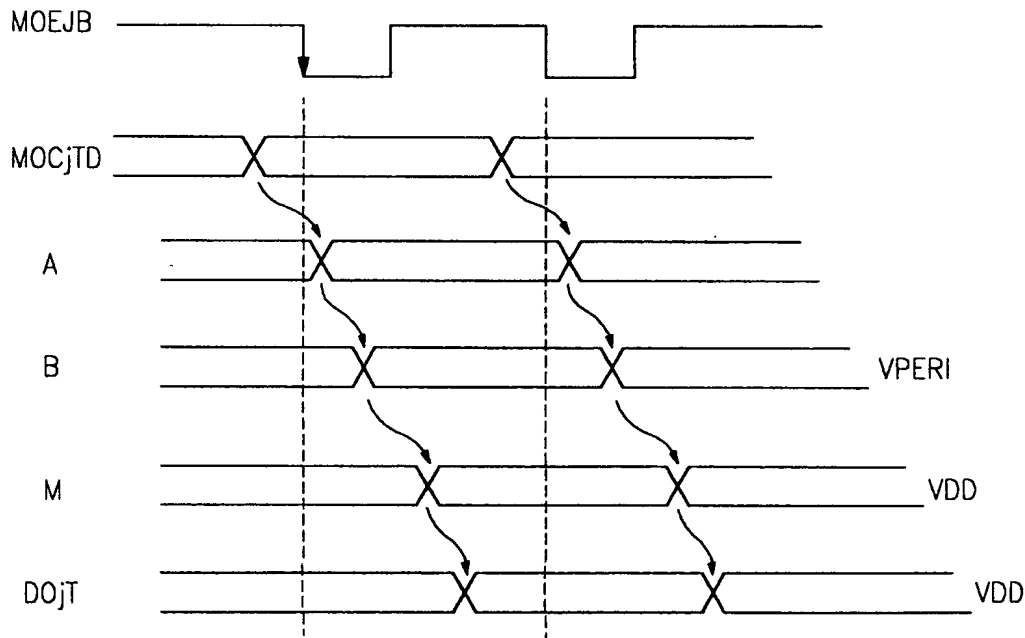
제 1 항에 있어서, 상기 제 2 클럭 인버터와 레벨 쉬프트 회로로 래치 회로를 구성하는 것을 특징으로 하는 데이터 트랜스퍼 회로.

도면

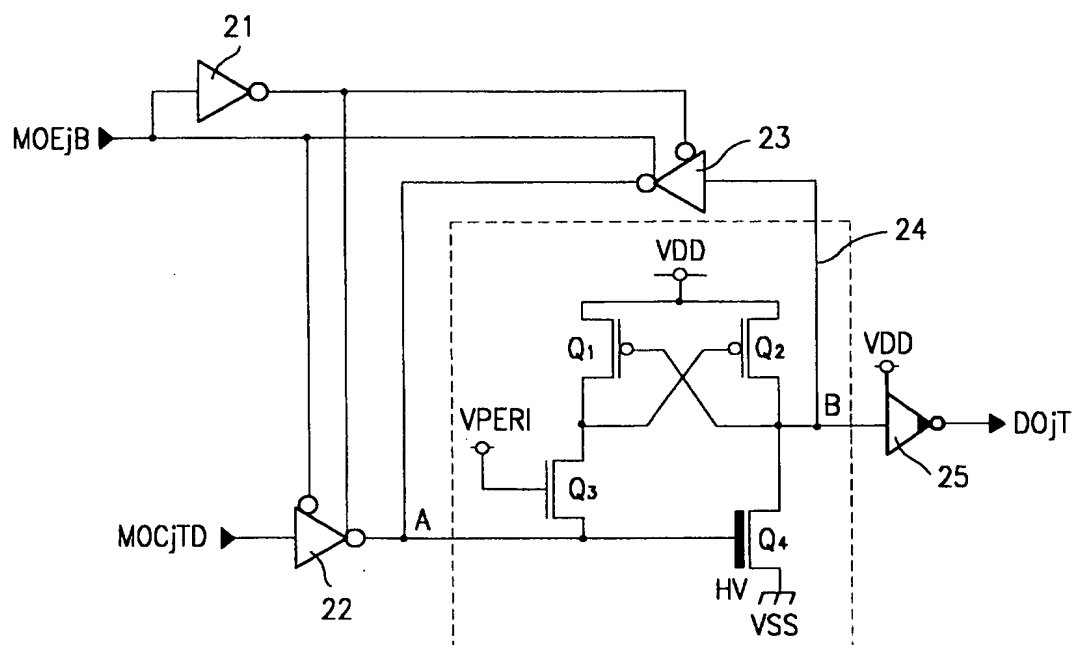
도면1



도면2



도면3



도면 4

